САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

Отчет по заданию lab1

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил: Непомнящий Матвей Тимофеевич

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

группа: 5130901/10101

преподаватель: Федотов Александр Александрович

Санкт-Петербург

2023

Оглавление

[1 Задание lab1\_1 4](#_Toc524592444)

[1.1 Задание 4](#_Toc524592445)

[1.2 Описание на языке Verilog 4](#_Toc524592446)

[1.3 Результат синтеза (RTL) 4](#_Toc524592447)

[1.4 Моделирование 4](#_Toc524592448)

[1.5 Назначение выводов СБИС 5](#_Toc524592449)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc524592450)

[1.7 Выводы 5](#_Toc524592451)

[2 Задание lab1\_2 6](#_Toc524592452)

[2.1 Задание 6](#_Toc524592453)

[2.2 Описание на языке Verilog 6](#_Toc524592454)

[2.3 Результат синтеза (RTL) 6](#_Toc524592455)

[2.4 Моделирование 6](#_Toc524592456)

[2.5 Назначение выводов СБИС 7](#_Toc524592457)

[2.6 Тестирование на плате miniDiLaB-CIV 7](#_Toc524592458)

[2.7 Выводы 7](#_Toc524592459)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc468082582)

[Рис. 1‑2 Синтезированная схема 4](#_Toc468082583)

[Рис. 1‑3 Результат моделирования средствами QII 5](#_Toc468082584)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc468082585)

[Рис. 2‑1 Описание на языке Verilog 6](#_Toc468082586)

[Рис. 2‑2 Синтезированная схема 6](#_Toc468082587)

[Рис. 2‑3 Результат моделирования средствами QII 7](#_Toc468082588)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc468082589)

# Задание lab1\_1

## Задание

На языке Verilog описать представленную на рис. 1.0 схему. Посмотреть синтезированную пакетом Q схему (RTL Viewer). Осуществить функциональное моделирование (с рамках пакета Q). Назначить выводы СБИС. Осуществить полную компиляцию, программирование платы и проверить работу проекта.

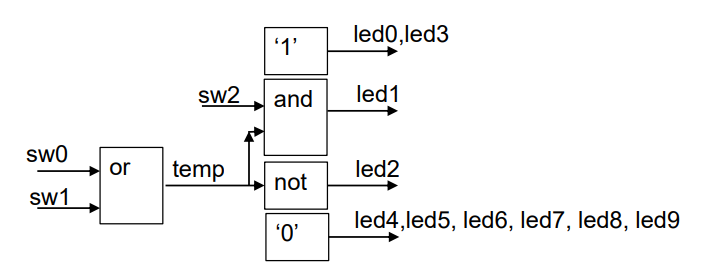


Рис. ‑0 Реализуемая схема

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

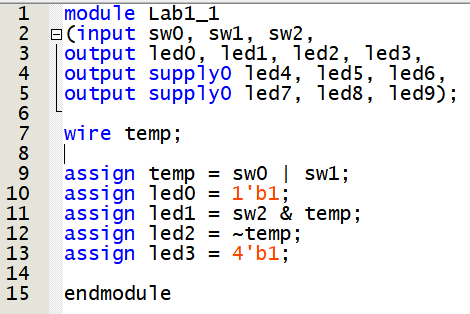


Рис. ‑ Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

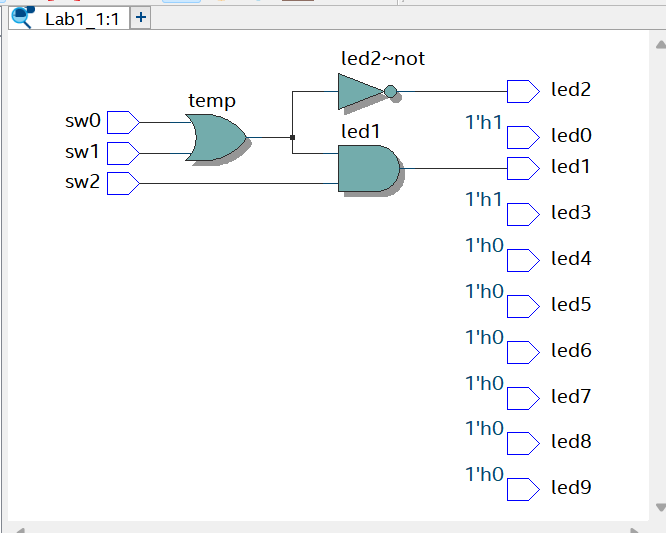


Рис. ‑ Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw подается 000
* на выходе led1 получаем 0
* на выходе led2 получаем 1
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 2:

* на группу входов sw подается 001
* на выходе led1 получаем 0
* на выходе led2 получаем 1
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 3:

* на группу входов sw подается 010
* на выходе led1 получаем 0
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 4:

* на группу входов sw подается 011
* на выходе led1 получаем 1
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 5:

* на группу входов sw подается 100
* на выходе led1 получаем 0
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 6:

* на группу входов sw подается 101
* на выходе led1 получаем 1
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 7:

* на группу входов sw подается 110
* на выходе led1 получаем 0
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 8:

* на группу входов sw подается 111
* на выходе led1 получаем 1
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

Результаты моделирования приведены на Рис. 1‑3

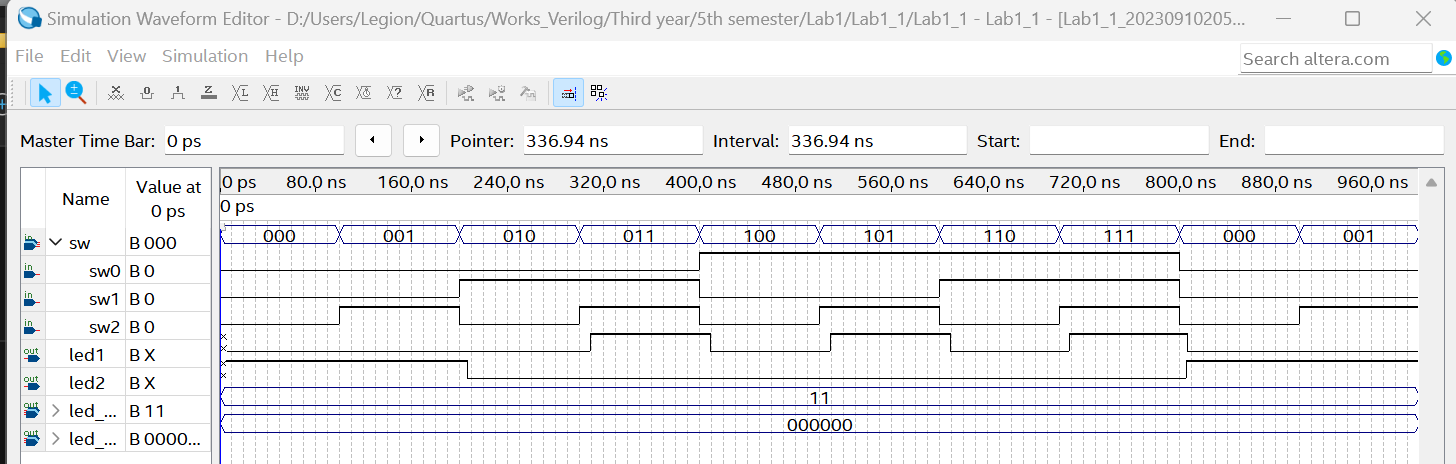


Рис. ‑ Результат моделирования средствами QII

По результатам моделирования можно сделать вывод о том, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

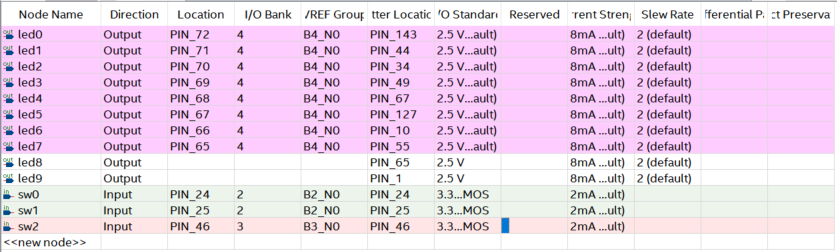


Рис. ‑ Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате проделанной работы была успешно синтезирована схема, указанная на рисунке 1-0. Также для неё были созданы и выполнены тесты, результаты которых можно увидеть в пункте 1.4.

# Задание lab1\_2

## Задание

На языке Verilog, используя логические выражения, опишите мультиплексор

2(2бит) => 1(2бит):

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

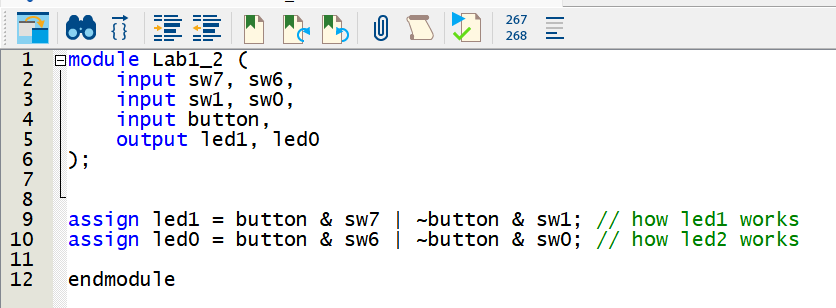


Рис. ‑ Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

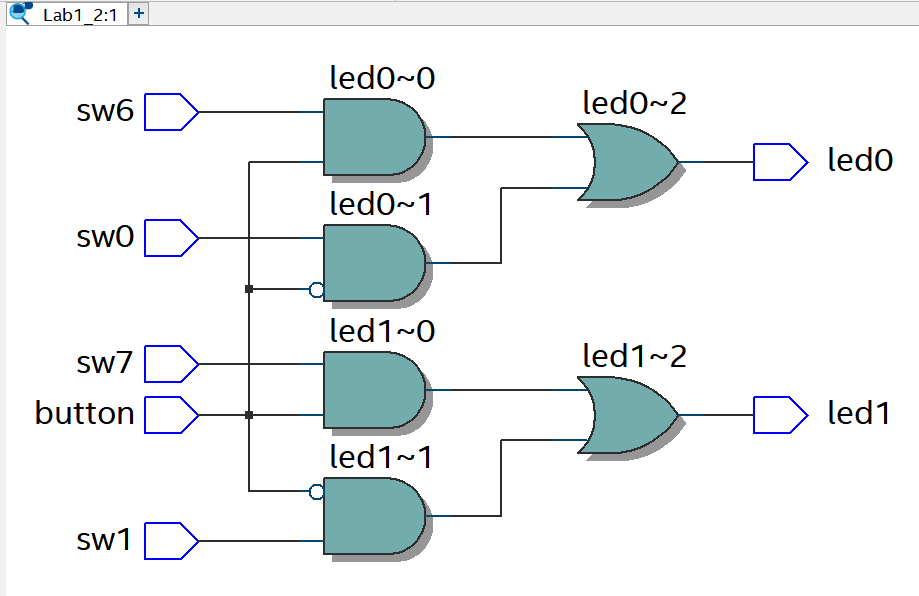


Рис. ‑ Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw01 подается 00
* на группу входов sw67 подается 11
* на вход button подается 0
* на выходе led0 получаем 0
* на выходе led1 получаем 0

1. проверка 2:

* на группу входов sw01 подается 00
* на группу входов sw67 подается 11
* на вход button подается 1
* на выходе led0 получаем 1
* на выходе led1 получаем 1

1. проверка 3:

* на группу входов sw01 подается 01
* на группу входов sw67 подается 10
* на вход button подается 0
* на выходе led0 получаем 0
* на выходе led1 получаем 1

1. проверка 4:

* на группу входов sw01 подается 01
* на группу входов sw67 подается 10
* на вход button подается 1
* на выходе led0 получаем 1
* на выходе led1 получаем 0

1. проверка 5:

* на группу входов sw01 подается 10
* на группу входов sw67 подается 01
* на вход button подается 0
* на выходе led0 получаем 1
* на выходе led1 получаем 0

1. проверка 6:

* на группу входов sw01 подается 10
* на группу входов sw67 подается 01
* на вход button подается 1
* на выходе led0 получаем 0
* на выходе led1 получаем 1

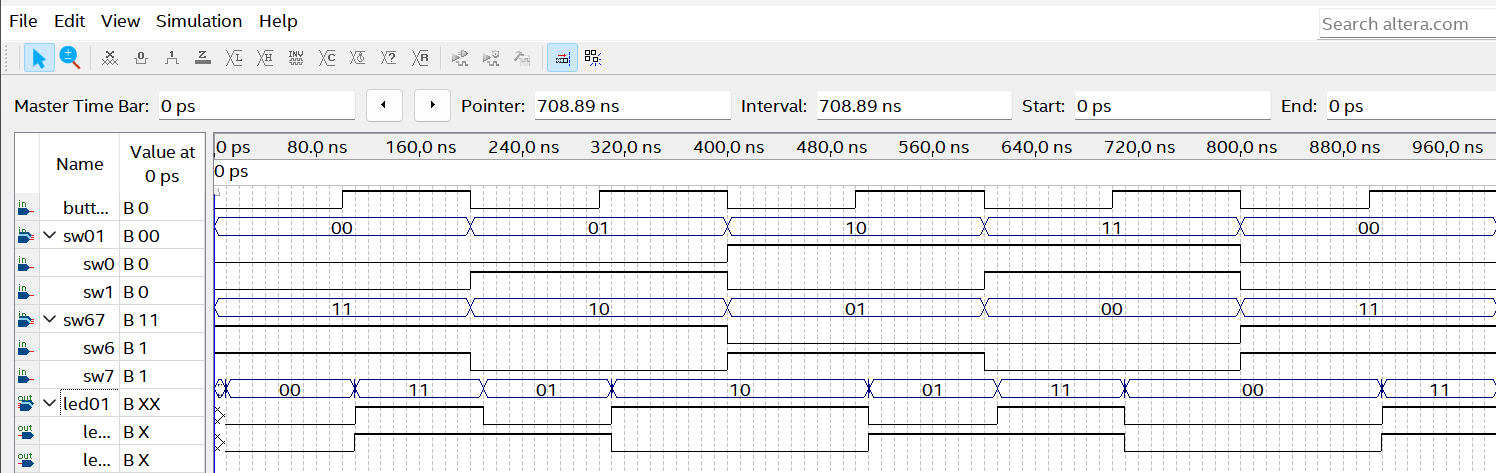
1. проверка 7:

* на группу входов sw01 подается 11
* на группу входов sw67 подается 00
* на вход button подается 0
* на выходе led0 получаем 1
* на выходе led1 получаем 1

1. проверка 8:

* на группу входов sw01 подается 11
* на группу входов sw67 подается 00
* на вход button подается 1
* на выходе led0 получаем 0
* на выходе led1 получаем 0

Результаты моделирования приведены на Рис. 2‑3

Рис. ‑ Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

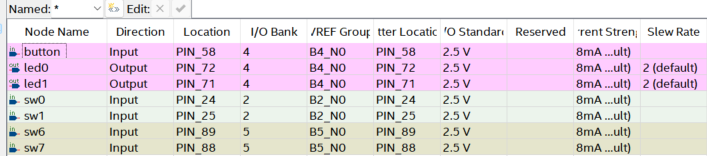


Рис. ‑ Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4 Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения работы был синтезирован мультиплексор на языке Verilog. Были созданы и проведены тесты, а также выполнено временное моделирование. Тесты, проведённые на стенде MiniDiLab соответствуют заданным критериям.